OIPE JC17
AUG 0 9 2004
PATENT & TRADEMARK OFFICE

Docket No. 251862US2S/vdm

IPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kohei OIKAWA

GAU: 2818

SERIAL NO: 10/823,658

EXAMINER:

FILED: April 14, 2004

FOR: SEMICONDUCTOR MEMORY DEVICE FOR CORRECTING ERRORS USING ECC (ERROR CORRECTING CODE) CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: **Application No.** **Date Filed**

■ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2004-010806	January 19, 2004

Certified copies of the corresponding Convention Application(s)

■ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

Surinder Sachar
Registration No. 34,423

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0331695
10/823,658

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００４年　１月１９日

出願番号
Application Number: 特願２００４－０１０８０６
[ST. 10/C]: [ＪＰ２００４－０１０８０６]

願人
Applicant(s): 株式会社東芝

BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

２００４年　４月２７日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号　出証特２００４－３０３６３５１

【書類名】　特許願
【整理番号】　A000306155
【提出日】　平成16年 1月19日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/10
【発明者】
　【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
　【氏名】　及川　恒平
【特許出願人】
　【識別番号】　000003078
　【氏名又は名称】　株式会社　東芝
【代理人】
　【識別番号】　100058479
　【弁理士】
　【氏名又は名称】　鈴江　武彦
　【電話番号】　03-3502-3181
【選任した代理人】
　【識別番号】　100091351
　【弁理士】
　【氏名又は名称】　河野　哲
【選任した代理人】
　【識別番号】　100088683
　【弁理士】
　【氏名又は名称】　中村　誠
【選任した代理人】
　【識別番号】　100108855
　【弁理士】
　【氏名又は名称】　蔵田　昌俊
【選任した代理人】
　【識別番号】　100084618
　【弁理士】
　【氏名又は名称】　村松　貞男
【選任した代理人】
　【識別番号】　100092196
　【弁理士】
　【氏名又は名称】　橋本　良郎
【手数料の表示】
　【予納台帳番号】　011567
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

【書類名】特許請求の範囲
【請求項１】
少なくとも第１の領域および第２の領域を有し、セルデータを格納するメモリアレイと、
前記第２の領域よりも前記第１の領域に近い距離に配置され、前記セルデータが入力されるデータ入力回路と、
前記データ入力回路より入力された前記セルデータから、誤り訂正処理のためのパリティデータを発生する誤り訂正回路と、
前記パリティデータは前記第１の領域に格納するように制御する制御回路と
を具備したことを特徴とする半導体記憶装置。
【請求項２】
前記メモリアレイは、前記第１の領域および前記第２の領域を各々備えた第１のメモリ部および第２のメモリ部を有することを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】
前記メモリアレイは、
前記第１の領域に接続された第１のデータ線と、
前記第２の領域に接続された第２のデータ線と
を備えることを特徴とする請求項１に記載の半導体記憶装置。
【請求項４】
前記第１のデータ線と前記第２のデータ線との間にスイッチを具備することを特徴とする請求項３に記載の半導体記憶装置。
【請求項５】
前記メモリアレイは、
前記第１の領域および前記第２の領域に共通に接続された共通データ線
を備えることを特徴とする請求項１に記載の半導体記憶装置。

【書類名】明細書
【発明の名称】半導体記憶装置
【技術分野】
【０００１】
本発明は、半導体記憶装置に関するもので、特に、誤り訂正コード（以下、ＥＣＣ（Ｅｒｒｏｒ　Ｃｏｒｒｅｃｔｉｎｇ　Ｃｏｄｅ）と略記する）回路を用いてデータ訂正を行う方式の半導体メモリ装置に関する。
【背景技術】
【０００２】
従来、情報伝送技術の分野においては、ＥＣＣ回路を用いてデータ訂正を行う方法が広く知られている。また、半導体メモリ装置においても、ＥＣＣ回路を用いて、歩留まりや信頼性の向上を図ることが行われようになってきている（たとえば、特許文献１参照）。今後、半導体メモリ装置の歩留まりや信頼性を確保するためにも、ＥＣＣ回路の搭載が必要となる場合が多くなると予想される。
【０００３】
しかしながら、半導体メモリ装置は、メモリの大容量化や高集積化にともなって、メモリ内部におけるデータ転送時間が長くなる傾向にある。ＥＣＣ回路を設けた場合、メモリ内部でのデータアクセスにかかる時間が一層増加するため、半導体メモリ装置の性能上、大きな問題となる。
【特許文献１】特開２００３－１５１２９７
【発明の開示】
【発明が解決しようとする課題】
【０００４】
本発明は、ＥＣＣ回路を適用した場合においても、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能な半導体記憶装置を提供することを目的としている。
【課題を解決するための手段】
【０００５】
本願発明の一態様によれば、少なくとも第１の領域および第２の領域を有し、セルデータを格納するメモリアレイと、前記第２の領域よりも前記第１の領域に近い距離に配置され、前記セルデータが入力されるデータ入力回路と、前記データ入力回路より入力された前記セルデータから、誤り訂正処理のためのパリティデータを発生する誤り訂正回路と、前記パリティデータは前記第１の領域に格納するように制御する制御回路とを具備したことを特徴とする半導体記憶装置が提供される。
【発明の効果】
【０００６】
この発明によれば、誤り訂正処理のためのパリティデータをデータ入力回路から近いメモリ領域に優先的に格納できるようになる結果、ＥＣＣ回路を適用した場合においても、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能な半導体記憶装置を提供できる。
【発明を実施するための最良の形態】
【０００７】
以下、本発明の実施の形態について図面を参照して説明する。
【０００８】
[第１の実施形態]
図１は、この発明の第１の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すものである。ここでは、ＥＣＣ回路の方式として、３２ビット分の元データ（セルデータ）に６ビット分のパリティデータを付加する方式とした場合について説明する。また、３２ビット分の元データに６ビット分のパリティデータを付加した３８ビット分のデータを、１９ビット分ずつ２つの異なるメモリ領域に分けて格納する場合の

例である。

【０００９】

この半導体メモリ装置の場合、たとえば、メモリアレイ（Ｍｅｍｏｒｙ　Ａｒｒａｙ）１１、タイミング信号発生器（Ｔｉｍｉｎｇ　Ｇｅｎｅｒａｔｏｒ）１２、アドレスバッファ（Ａｄｄｒｅｓｓ　Ｂｕｆｆｅｒ）１３、ＤＱバッファ１４ａ，１４ｂ、デコーダ回路（ｄｅｃｏｄｅｒ）１５、スイッチ回路（Ｓｗｉｔｃｈ）１６ａ，１６ｂ，１６ｃ，１６ｄ、パリティ生成回路（ＥＣＣ１）１７、誤り訂正回路（ＥＣＣ２）１８、および、入出力回路（Ｉ／Ｏ　ｃｉｒｃｕｉｔ）１９などを有して構成されている。タイミング信号発生器１２は、外部制御信号／ＣＥ，／ＯＥ，／ＷＥを受けて、上記メモリアレイ１１、上記ＤＱバッファ１４ａ，１４ｂおよび上記入出力回路１９の制御を行うもので、基本的な制御は周知であるため、ここでの詳細な説明は割愛する。

【００１０】

上記メモリアレイ１１は、複数（この例の場合、８つ）のメモリ領域ＭＡ０，ＭＡ１，ＭＡ２，ＭＡ３，ＭＡ４，ＭＡ５，ＭＡ６，ＭＡ７に分割されている。８つのメモリ領域ＭＡ０，～，ＭＡ７は、４つずつ、２列に配置されている。本実施形態の場合、各メモリ領域ＭＡ２，ＭＡ３，ＭＡ６，ＭＡ７によって第１の領域が、各メモリ領域ＭＡ０，ＭＡ１，ＭＡ４，ＭＡ５によって第２の領域が、それぞれ構成されている。また、メモリ領域ＭＡ０，ＭＡ１，ＭＡ２，ＭＡ３によって第１のメモリ部が、メモリ領域ＭＡ４，ＭＡ５，ＭＡ６，ＭＡ７によって第２のメモリ部が、それぞれ構成されている。

【００１１】

上記メモリ領域ＭＡ０，～，ＭＡ７は、１回のアクセスによって、ほぼ同時に２つの領域が活性化されるようになっている。たとえば、入出力回路１９からの距離が大きく異なる、メモリ領域（第２の領域）ＭＡ０とメモリ領域（第１の領域）ＭＡ６とがほぼ同時に活性化される。同様に、メモリ領域（第２の領域）ＭＡ１とメモリ領域（第１の領域）ＭＡ７とがほぼ同時に活性化される。同様に、メモリ領域（第２の領域）ＭＡ４とメモリ領域（第１の領域）ＭＡ２とがほぼ同時に活性化される。同様に、メモリ領域（第２の領域）ＭＡ５とメモリ領域（第１の領域）ＭＡ３とがほぼ同時に活性化される。

【００１２】

すなわち、上記入出力回路１９には、上記タイミング信号発生器１２、上記パリティ生成回路１７、上記誤り訂正回路１８、および、上記スイッチ回路１６ａが接続されている。上記スイッチ回路１６ａには、上記ＤＱバッファ１４ａ，１４ｂおよび上記パリティ生成回路１７が接続されている。上記誤り訂正回路１８は、上記スイッチ回路１６ｂを介して、上記ＤＱバッファ１４ａ，１４ｂに接続されている。上記ＤＱバッファ１４ａには、上記タイミング信号発生器１２が接続されるとともに、１９ビット分のデータ線２１ａを介して、上記メモリ領域ＭＡ２，ＭＡ３および上記スイッチ回路１６ｃが接続されている。このスイッチ回路１６ｃには、１９ビット分のデータ線２１ｂを介して、上記メモリ領域ＭＡ０，ＭＡ１が接続されている。上記ＤＱバッファ１４ｂには、上記タイミング信号発生器１２が接続されるとともに、１９ビット分のデータ線２２ａを介して、上記メモリ領域ＭＡ６，ＭＡ７および上記スイッチ回路１６ｄが接続されている。このスイッチ回路１６ｄには、１９ビット分のデータ線２２ｂを介して、上記メモリ領域ＭＡ４，ＭＡ５が接続されている。

【００１３】

一方、アドレスバッファ１３にはデコーダ回路１５が接続されている。上記アドレスバッファ１３は、外部アドレス信号（ａｄｄｒｅｓｓ）を受け、対応する内部アドレス信号を上記デコーダ回路１５に供給する。なお、外部アドレス信号の値および内部アドレス信号の値は１対１に対応する。また、この内部アドレス信号は、上記デコーダ回路１５および上記スイッチ回路１６ａ，１６ｂ，１６ｃ，１６ｄの状態を一意に決める。

【００１４】

上記デコーダ回路１５としては、たとえば、Ｘ－ｄｅｃｏｄｅｒ０，１、Ｙ－ｄｅｃｏｄｅｒ０，１，２，３、Ｓ－ｄｅｃｏｄｅｒ０，１、および、Ｄ－ｄｅｃｏｄｅｒが用意

されている。上記Ｘ－ｄｅｃｏｄｅｒ０，１および上記Ｙ－ｄｅｃｏｄｅｒ０，１，２，３は、内部アドレス信号に応じて、上記メモリ領域ＭＡ０，～，ＭＡ７の選択および各メモリ領域ＭＡ０，～，ＭＡ７内のセルの選択を行う。その際、上述したように、メモリ領域ＭＡ０，ＭＡ６、メモリ領域ＭＡ１，ＭＡ７、メモリ領域ＭＡ２，ＭＡ４、メモリ領域ＭＡ３，ＭＡ５という組み合わせで、上記メモリアレイ１１を活性化させる。

【００１５】

上記Ｓ－ｄｅｃｏｄｅｒ０，１は、上記スイッチ回路１６ｃ，１６ｄを制御する。たとえば、メモリ領域ＭＡ０，ＭＡ６またはメモリ領域ＭＡ１，ＭＡ７を選択するときには、スイッチ回路１６ｃがオン、スイッチ回路１６ｄがオフになる。逆に、メモリ領域ＭＡ２，ＭＡ４またはメモリ領域ＭＡ３，ＭＡ５を選択するときには、スイッチ回路１６ｃがオフ、スイッチ回路１６ｄがオンになる。

【００１６】

上記Ｄ－ｄｅｃｏｄｅｒは、上記スイッチ回路１６ａ，１６ｂを制御する。スイッチ回路１６ａは、ライト動作時に、上記入出力回路１９からの元データ（１３ビット分）と上記パリティ生成回路１７からのパリティデータ（６ビット分）とを、上記ＤＱバッファ１４ａ側のデータパスＰＡ１または上記ＤＱバッファ１４ｂ側のデータパスＰＡ２に振り分ける。また、スイッチ回路１６ａは、上記入出力回路１９からの元データ（１９ビット分）を、上記パリティデータとは異なるパス、つまり、上記ＤＱバッファ１４ｂ側のデータパスＰＡ２または上記ＤＱバッファ１４ａ側のデータパスＰＡ１に振り分ける。なお、上記パリティ生成回路１７からのパリティデータは、常に、メモリ領域ＭＡ２，ＭＡ３，ＭＡ６，ＭＡ７のいずれかに格納されるように振り分けられる。スイッチ回路１６ｂは、リード動作時に、上記ＤＱバッファ１４ａ側または上記ＤＱバッファ１４ｂ側に１９ビット分ずつ振り分けられたデータが、元のデータ（３２ビット分）と同じ順番になるように、データパスＰＢ１，ＰＢ２の接続を切り換える。

【００１７】

ここで、上記ＤＱバッファ１４ａ，１４ｂおよび上記入出力回路１９の間は、リード動作時とライト動作時とで別々のデータパスＰＡ１，ＰＡ２，ＰＢ１，ＰＢ２を使うことを想定している。つまり、リード動作時においては、該当する３８（（１３＋６）＋１９）ビット分のデータがそれぞれ活性化されたメモリ領域内から読み出され、さらに、ＤＱバッファ１４ａ，１４ｂおよびデータパスＰＢ１，ＰＢ２を介して、上記誤り訂正回路１８に入力される。そして、３８ビット分のデータのうち、６ビット分のパリティデータを用いて誤り訂正処理が施された３２ビット分の元データは、上記入出力回路１９を介して、装置の外部に出力される。

【００１８】

一方、ライト動作時においては、上記入出力回路１９に入力された３２ビット分の元データが、スイッチ回路１６ａに入力されると同時に、上記パリティ生成回路１７に入力される。そして、上記パリティ生成回路１７で生成された６ビット分のパリティデータは、スイッチ回路１６ａに送られる。スイッチ回路１６ａに入力された全３８ビット分のデータは、６ビット分のパリティデータを含む１９ビット分のデータとパリティデータを含まない１９ビット分のデータとに分けられ、それぞれデータパスＰＡ１，ＰＡ２を介して、上記ＤＱバッファ１４ａ，１４ｂに入力される。こうして、３８（１９，１３＋６）ビット分のデータは、１９ビット分ずつ、ほぼ同時に活性化された異なる列の異なるメモリ領域にそれぞれ格納される。

【００１９】

図２は、上記スイッチ回路１６ａ，１６ｂを構成する回路１６ａ’，１６ｂ’の一例を示すものである。この回路１６ａ’，１６ｂ’は、上記スイッチ回路１６ａ，１６ｂにおける２ビット分のスイッチであり、たとえば、４つのＮＭＯＳトランジスタＮＴａ，ＮＴｂ，ＮＴｃ，ＮＴｄと１つのインバータ回路ｉｎｖとから構成されている。つまり、上記スイッチ回路１６ａ，１６ｂには、この回路１６ａ’，１６ｂ’がそれぞれ１９個ずつ含まれている。

【００２０】
上記回路１６ａ’，１６ｂ’において、たとえば、上記Ｄ－ｄｅｃｏｄｅｒからの選択信号Ｓｅｌｅｃｔが“１”ならば、ＮＭＯＳトランジスタＮＴａ，ＮＴｂがオン、ＮＭＯＳトランジスタＮＴｃ，ＮＴｄがオフとなる。これにより、入力端ｉｎ［０］と出力端ｏｕｔ［０］とが、また、入力端ｉｎ［１］と出力端ｏｕｔ［１］とが、それぞれ接続される。逆に、選択信号Ｓｅｌｅｃｔが“０”ならば、ＮＭＯＳトランジスタＮＴａ，ＮＴｂがオフ、ＮＭＯＳトランジスタＮＴｃ，ＮＴｄがオンとなる。これにより、入力端ｉｎ［０］と出力端ｏｕｔ［１］とが、また、入力端ｉｎ［１］と出力端ｏｕｔ［０］とが、それぞれ接続される。
【００２１】
因みに、上記スイッチ回路１６ａの場合、たとえば、出力端ｏｕｔ［０］がデータパスＰＡ１に、出力端ｏｕｔ［１］がデータパスＰＡ２に、それぞれ対応する。一方、上記スイッチ回路１６ｂの場合、たとえば、入力端ｉｎ［０］がデータパスＰＢ２に、入力端ｉｎ［１］がデータパスＰＢ１に、それぞれ対応する。
【００２２】
図３は、上記スイッチ回路１６ｃ，１６ｄの構成例を示すものである。このスイッチ回路１６ｃ，１６ｄは、たとえば、１９個のＮＭＯＳトランジスタＮＴによって構成されている。そして、ＮＭＯＳトランジスタＮＴの各ゲートが、Ｓ－ｄｅｃｏｄｅｒ０，１からの１つの信号Ｅｎａｂｌｅによって共通に制御されるようになっている。すなわち、Ｓ－ｄｅｃｏｄｅｒ０からの信号Ｅｎａｂｌｅが“非活性状態（ｎｏｔ　ｅｎａｂｌｅ）”になると、スイッチ回路１６ｃの全てのＮＭＯＳトランジスタＮＴがオフされる。これにより、データ線２１ａとデータ線２１ｂとの間が電気的に切断される。同様に、Ｓ－ｄｅｃｏｄｅｒ１からの信号Ｅｎａｂｌｅが“非活性状態”になると、スイッチ回路１６ｄの全てのＮＭＯＳトランジスタＮＴがオフされる。これにより、データ線２２ａとデータ線２２ｂとの間が電気的に切断される。
【００２３】
次に、上記した構成における動作について説明する。ここでは、２つのメモリ領域ＭＡ０，ＭＡ６がほぼ同時に活性化される場合を例に説明する。
【００２４】
たとえば、ライト動作時において、入出力回路１９に３２ビット分の元データが入力される。すると、その３２ビット分の元データは、スイッチ回路１６ａおよびパリティ生成回路１７に送られる。そして、上記パリティ生成回路１７によって、３２ビット分の元データをもとに、６ビット分のパリティデータが生成される。この６ビット分のパリティデータは、パリティ生成回路１７から上記スイッチ回路１６ａに送られる。
【００２５】
この例の場合、Ｓ－ｄｅｃｏｄｅｒ０からの活性状態の信号Ｅｎａｂｌｅによってスイッチ回路１６ｃは接続状態となり、Ｓ－ｄｅｃｏｄｅｒ１からの非活性状態の信号Ｅｎａｂｌｅによってスイッチ回路１６ｄは切断状態になる。また、Ｄ－ｄｅｃｏｄｅｒからの選択信号Ｓｅｌｅｃｔが“０”となって、上記スイッチ回路１６ａは、各回路１６ａ’における入力端ｉｎ［０］と出力端ｏｕｔ［１］および入力端ｉｎ［１］と出力端ｏｕｔ［０］が、それぞれ接続される。これにより、上記パリティ生成回路１７の出力（６ビット分のパリティデータ）と上記入出力回路１９の出力の一部（１３ビット分の元データ）は、上記スイッチ回路１６ａからＤＱバッファ１４ｂ側のデータパスＰＡ２に出力される。また、入出力回路１９の残りの出力（１９ビット分の元データ）は、上記スイッチ回路１６ａからＤＱバッファ１４ａ側のデータパスＰＡ１に出力される。
【００２６】
すなわち、上記スイッチ回路１６ａに送られた３２ビット分の元データのうち、１９ビット分のデータは、直ちに、データパスＰＡ１を介して、ＤＱバッファ１４ａに送られる。そして、このＤＱバッファ１４ａにより、データ線２１ａ、スイッチ回路１６ｃ、および、データ線２１ｂを介して、上記メモリ領域ＭＡ０に送られ、そこに格納される。

【００２７】
一方、上記スイッチ回路１６ａに送られた３２ビット分の元データのうち、１３ビット分のデータは、たとえば、上記パリティ生成回路１７からの６ビット分のパリティデータとともに、データパスＰＡ２を介して、ＤＱバッファ１４ｂに送られる。そして、このＤＱバッファ１４ｂにより、データ線２２ａを介して、上記メモリ領域ＭＡ６に送られ、そこに格納される。
【００２８】
このように、ライト動作の場合、元のデータ（３２ビット）は変更されずにそのまま格納される。そのため、メモリ領域ＭＡ０にデータを書き込むのに要する時間が、データライト時間となる（パリティ生成時間を含まない）。これに対し、メモリ領域ＭＡ６にデータを書き込むのに必要な時間にはパリティ生成時間が含まれる。しかしながら、データ線２２ａなどの配線遅延時間は、メモリ領域ＭＡ０にデータを書き込む場合よりも短い。つまり、データライト時間は、パリティ生成時間または配線遅延時間のどちらか長い方で決まる。よって、たとえばメモリ領域ＭＡ０にデータを書き込むのに必要な時間にパリティ生成時間をも含むような従来と比べると、データライト時間は短くなる。
【００２９】
なお、リード動作時の場合は、誤り訂正回路１８での処理に全ビット分のデータが必要になる。そのため、データリードに要する時間は、データ線などの配線遅延時間と誤り訂正処理に要する演算時間とによって決まる。つまり、データリード時間は従来とほぼ同程度になる。
【００３０】
また、上記したライト動作時およびリード動作時においては、スイッチ回路１６ｃ，１６ｄによって、データ線２１ｂ，２２ｂのいずれか一方を選択的に駆動するようにしている。これにより、データ線で消費される電流の一部（従来の約１／４）を削減することが可能となる。
【００３１】
上記したように、ＥＣＣ回路を備える半導体メモリ装置において、パリティデータは入出力回路１９から近いメモリ領域ＭＡ２，ＭＡ３，ＭＡ６，ＭＡ７に格納し、演算が行われないデータは遠いメモリ領域ＭＡ０，ＭＡ１，ＭＡ４，ＭＡ５に格納するようにしている。すなわち、異なる列の、入出力回路から近いメモリ領域と遠いメモリ領域とをほぼ同時に活性化させるようにしている。これにより、書き込みに時間を要するデータは近いメモリ領域に、書き込みに時間を要しないデータは遠い領域に、それぞれ分けて書き込むことが可能となる。したがって、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能となるものである。
【００３２】
しかも、有効になるデータ線の長さを制御する、つまり、データ線２１ｂ，２２ｂの選択的な駆動が可能となる結果、消費電力を削減できる。
【００３３】
[第２の実施形態]
図４は、この発明の第２の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すものである。なお、図１と同一部分には同一符号を付し、その詳しい説明は割愛する。
【００３４】
この半導体メモリ装置の場合、メモリアレイ１１の、一方の列のメモリ領域ＭＡ０，ＭＡ１，ＭＡ２，ＭＡ３が一本のデータ線２１によって共通に接続されるとともに、他方の列のメモリ領域ＭＡ４，ＭＡ５，ＭＡ６，ＭＡ７が一本のデータ線２２によって共通に接続されている。
【００３５】
このような構成とした場合、消費電力の削減の効果は期待できないものの、データアクセス、特に、データの書き込みにかかる時間を短縮する効果については、第１の実施形態

の場合とほぼ同様の効果が期待できる。

【００３６】

［第３の実施形態］

図５は、この発明の第３の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すものである。なお、便宜上、タイミング信号発生器、アドレスバッファおよびデコーダ回路などについては省略している。また、図１および図４と同一部分には同一符号を付し、その詳しい説明は割愛する。

【００３７】

この実施形態の場合、メモリ領域ＭＡ０，～，ＭＡ７とは別に、メモリ領域ＭＡ０，～，ＭＡ７よりも近い場所に、パリティデータを格納するための専用のメモリ領域ＭＡ１１，ＭＡ１２を用意する。また、メモリ領域ＭＡ０，～，ＭＡ３およびＭＡ４，～，ＭＡ７につながるデータ線２１，２２とは別に、上記メモリ領域ＭＡ１１，ＭＡ１２につながるデータ線２３ａ，２３ｂおよびＤＱバッファ１４ｃを用意する。このような構成によっても、パリティデータを格納するためのメモリ領域ＭＡ１１，ＭＡ１２と接続されるデータ線２３ａ，２３ｂは他のデータ線２１，２２よりも短いので、第１の実施形態の場合と同様に、データアクセスの高速化の効果が期待できる。

【００３８】

なお、上記した第１，第２の実施形態においては、メモリ領域のサイズがどの場所でも等しい場合を例に示した。これに限らず、たとえばメモリ領域のサイズを場所によって異ならせることも可能である。たとえば、図１に示した構成の半導体メモリ装置において、メモリ領域ＭＡ２，ＭＡ３，ＭＡ６，ＭＡ７のサイズを、メモリ領域ＭＡ０，ＭＡ１，ＭＡ４，ＭＡ５のサイズよりも小さくする。そして、メモリ領域ＭＡ２，ＭＡ３，ＭＡ６，ＭＡ７は誤り訂正処理のためだけに使用し、メモリ領域ＭＡ０，ＭＡ１，ＭＡ４，ＭＡ５にパリティデータ以外のデータを格納するようにする。このような構成とした場合、パリティデータの書き込みがより高速になり、パリティデータの生成により時間をかけることなどが可能となる。

【００３９】

その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも１つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも１つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【００４０】

【図１】本発明の第１の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すブロック図。

【図２】半導体メモリ装置におけるスイッチ回路の一例を示す構成図。

【図３】半導体メモリ装置におけるスイッチ回路の一例を示す構成図。

【図４】本発明の第２の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すブロック図。

【図５】本発明の第３の実施形態にしたがった、ＥＣＣ回路を備える半導体メモリ装置の基本構成を示すブロック図。

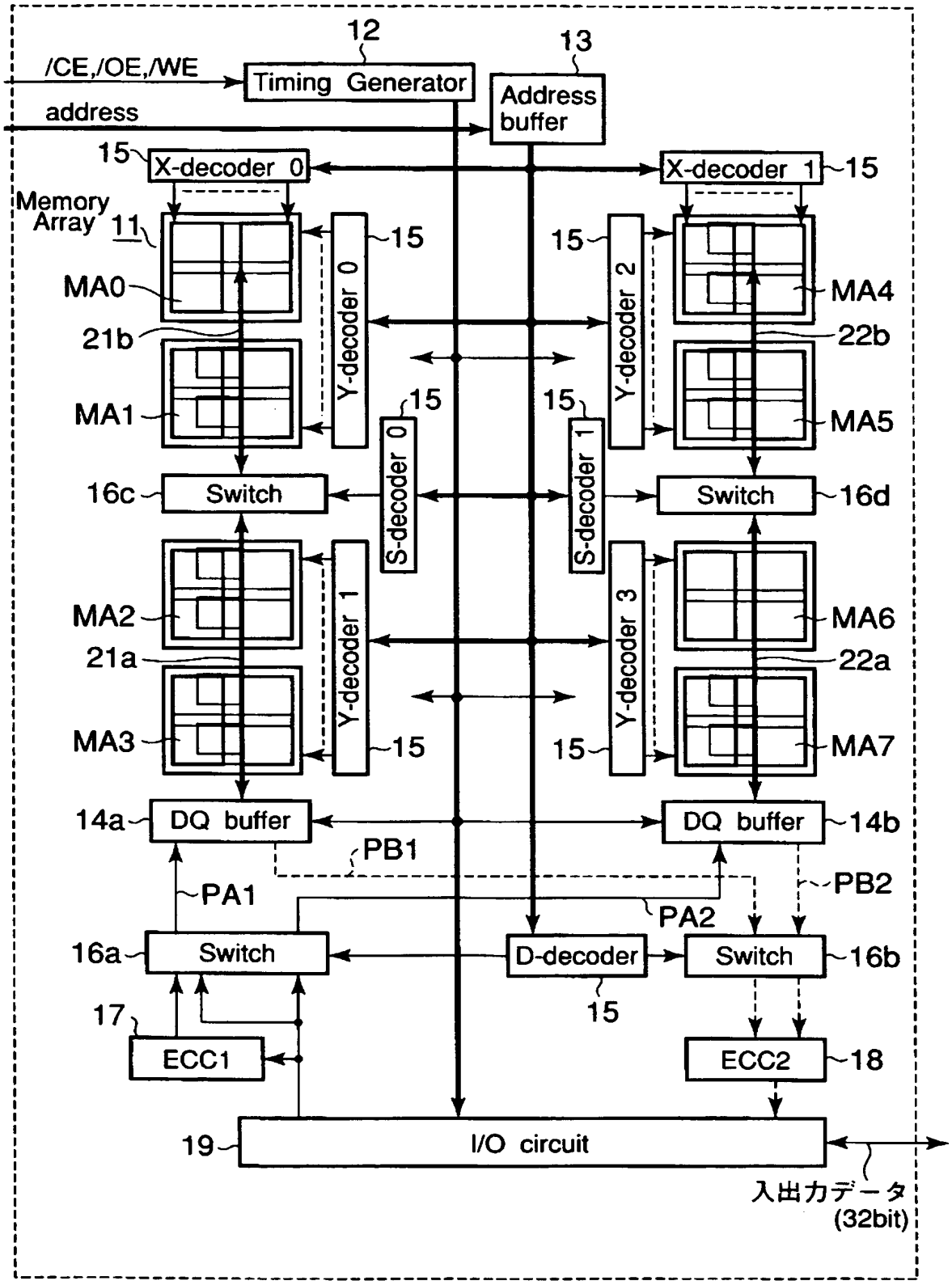
【符号の説明】

【００４１】

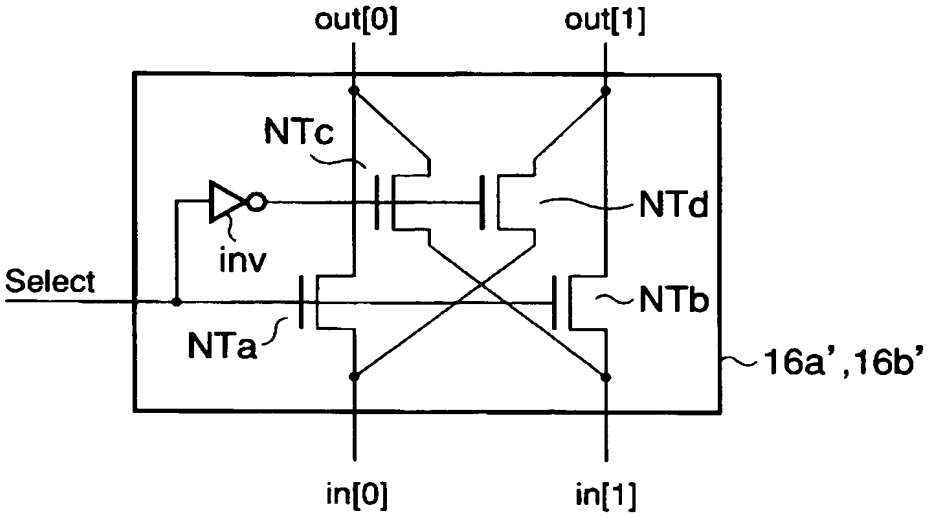
１１…メモリアレイ、１２…タイミング信号発生器、１３…アドレスバッファ、１４ａ，１４ｂ，１４ｃ…ＤＱバッファ、１５…デコーダ回路、１６ａ，１６ｂ，１６ｃ，１６ｄ…スイッチ回路、１７…パリティ生成回路（ＥＣＣ１）、１８…誤り訂正回路（ＥＣＣ

２）、１９…入出力回路、２１，２１ａ，２１ｂ，２２，２２ａ，２２ｂ，２３ａ，２３ｂ…データ線、ＭＡ０，ＭＡ１，ＭＡ２，ＭＡ３，ＭＡ４，ＭＡ５，ＭＡ６，ＭＡ７，ＭＡ１１，ＭＡ１２…メモリ領域、ＰＡ１，ＰＡ２，ＰＢ１，ＰＢ２…データパス。

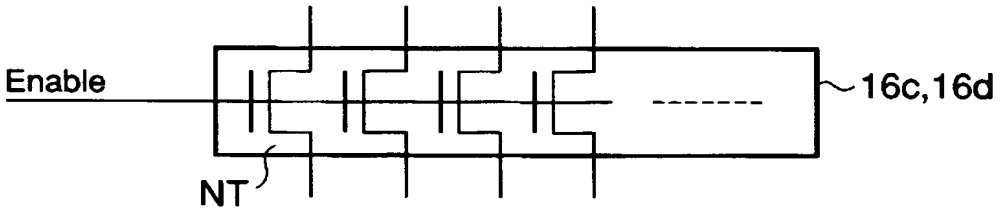
【書類名】図面
【図１】


12
13
/CE,/OE,/WE
Timing Generator
Address buffer
address
15
X-decoder 0
X-decoder 1
15
Memory Array 11
MA0
21b
MA1
15
Y-decoder 0
15
Y-decoder 2
MA4
22b
MA5
15
S-decoder 0
15
S-decoder 1
16c
Switch
Switch
16d
MA2
21a
MA3
Y-decoder 1
15
Y-decoder 3
15
MA6
22a
MA7
14a
DQ buffer
DQ buffer
14b
PB1
PB2
PA1
PA2
16a
Switch
D-decoder
Switch
16b
15
17
ECC1
ECC2
18
19
I/O circuit
入出力データ
(32bit)

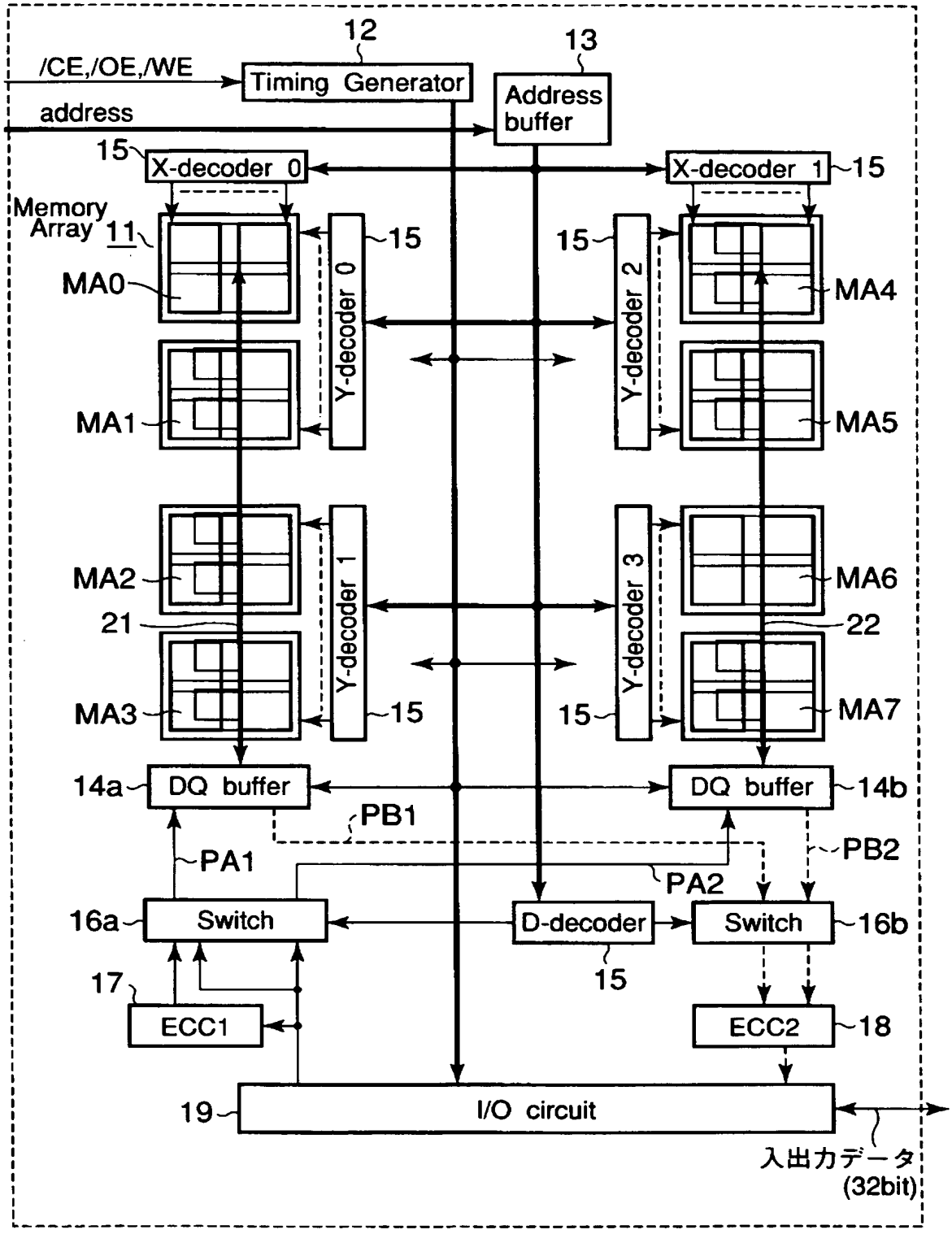
【図２】


out[0]
out[1]
NTc
NTd
inv
Select
NTb
NTa
16a',16b'
in[0]
in[1]

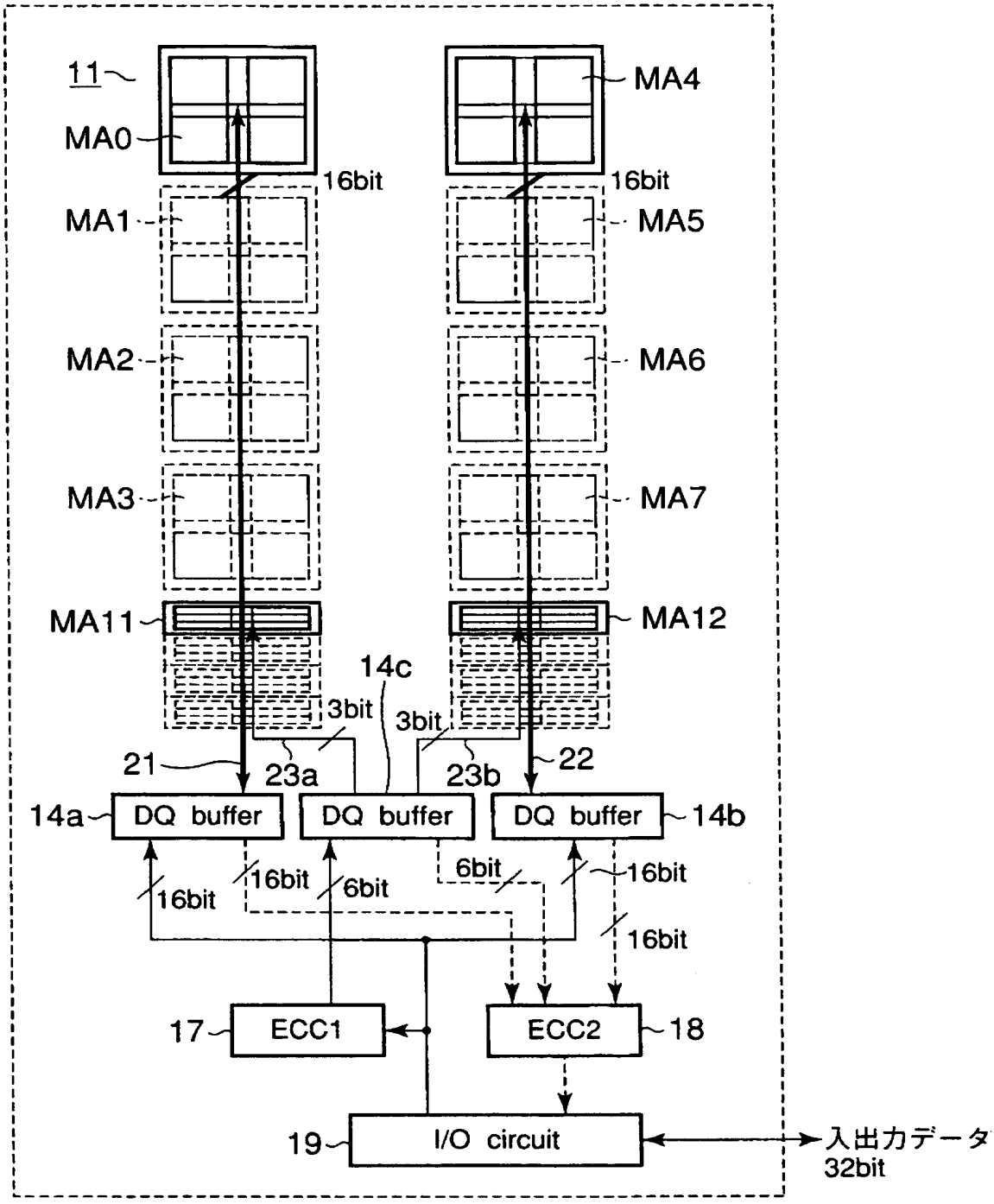
【図３】


Enable
16c,16d
NT

【図４】


12
13
/CE,/OE,/WE
Timing Generator
Address buffer
address
15
X-decoder 0
X-decoder 1
15
Memory Array 11
MA0
15
Y-decoder 0
15
Y-decoder 2
MA4
MA1
MA5
MA2
Y-decoder 1
Y-decoder 3
MA6
21
22
MA3
15
15
MA7
14a
DQ buffer
DQ buffer
14b
PB1
PB2
PA1
PA2
16a
Switch
D-decoder
Switch
16b
15
17
ECC1
ECC2
18
19
I/O circuit
入出力データ
(32bit)

【図５】


11
MA0
MA1
MA2
MA3
MA11
MA4
MA5
MA6
MA7
MA12
16bit
16bit
14c
3bit
3bit
21
23a
23b
22
14a
DQ buffer
DQ buffer
DQ buffer
14b
16bit
16bit
6bit
6bit
16bit
16bit
17
ECC1
ECC2
18
19
I/O circuit
入出力データ
32bit

【書類名】要約書
【要約】
【課題】本発明は、ＥＣＣ回路を用いてデータ訂正を行う方式の半導体メモリ装置において、データアクセスを高速化できるようにすることを最も主要な特徴としている。
【解決手段】たとえば、１回のアクセスによって、列の異なる２つのメモリ領域ＭＡ０，ＭＡ６をほぼ同時に活性化させる。そして、活性化されたメモリ領域ＭＡ０，ＭＡ６のうち、遠い方のメモリ領域ＭＡ０に対しては、入出力回路１９に入力された３２ビット分の元データのうちの１９ビット分のデータをそのまま格納させる。一方、メモリ領域ＭＡ０よりも近い方のメモリ領域ＭＡ６に対しては、入出力回路１９に入力された３２ビット分の元データのうちの１３ビット分のデータと、３２ビット分の元データをもとに、パリティ生成回路１７により生成された６ビット分のパリティデータとを格納させる構成となっている。
【選択図】　図１

特願２００４－０１０８０６

出　願　人　履　歴　情　報

識別番号　［０００００３０７８］

１．変更年月日　２００１年　７月　２日
［変更理由］　住所変更
住　所　東京都港区芝浦一丁目１番１号
氏　名　株式会社東芝